

# Projekt IUSS 2024

## Temat: Zaprojektowanie odpowiednika układu 4512

Mateusz Wasik

17 lutego 2025

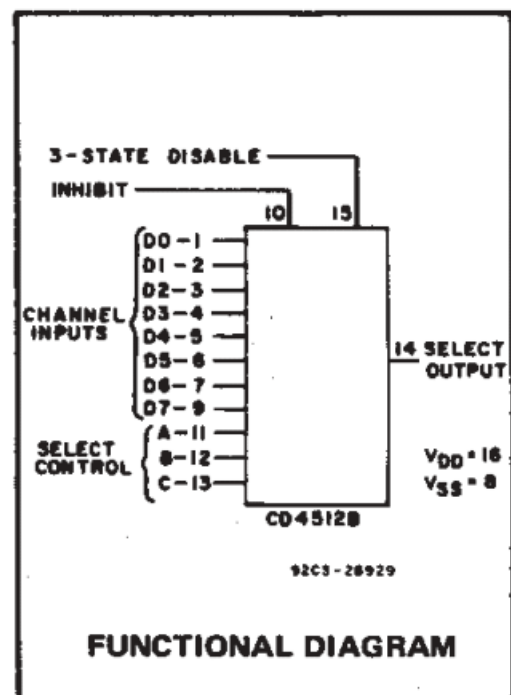
### 1 Wstęp

Celem projektu było opracowanie topografii odpowiednika układu z rodziny 4000. Do realizacji wybrano układ 4512. Układ ten to 8-bitowy multiplexer o następujących cechach:

- 8 wejść danych
- 3 wejścia adresowe
- Wejście **inhibit** - po podaniu stanu wysokiego na to wejście, wyjście ustawiane jest w stan niski niezależnie od stanu wejść danych
- Wejście **3-state disable** - po podaniu stanu wysokiego na to wejście, wyjście ustawiane jest w stan wysokiej impedancji, niezależnie od stanu pozostałych wejść

Realizacja ostatniej funkcji układu wymagałaby zaprojektowania bufora wyjściowego o odpowiednim wzmacnieniu *oraz* zdolnego do ustawienia wyjścia w stan wysokiej impedancji. Za sugestią prowadzącego zrezygnowano z tej funkcji z uwagi na ograniczenia czasowe

przedmiotu oraz i tak dużą już złożoność pozostałej części układu.



Rysunek 1: Schemat funkcjonalny  
Źródło: *CD4512B TYPES datasheet (Rev. C)* [1]

## 2 Wymagania projektowe

Przyjęto następujące wymagania projektowe narzucone przez przedmiot:

### 2.1 Wymagania ogólne

1. Technologia: CMOS TSMC 180nm 6M 1.8V
2. Napięcie zasilające:  $1,8V \pm 10\%$
3. Temperatura pracy: od  $-80\text{ }^{\circ}\text{C}$  do  $+125\text{ }^{\circ}\text{C}$
4. Wydajność prądowa buforów wyjściowych: 20 mA DC
5. Minimalna częstotliwość pracy: 20 MHz przy obciążeniu 20 pF

### 2.2 Wymagania do topografii

1. Maksymalny prąd warstw metalicznych:  $1 \frac{\text{mA}}{\mu\text{m}}$  (zabezpieczenie przed elektromigracją)
2. Maksymalne odległości pomiędzy sąsiednimi kontaktami
  - do podłoża: 50  $\mu\text{m}$
  - do wyspy 150  $\mu\text{m}$

(zabezpieczenie przed zatrząskiwaniem się układu)

3. PAD z warstwy pad o wymiarach ( $s \times w$ ):  $60\text{ }\mu\text{m} \times 70\text{ }\mu\text{m}$
4. Zabezpieczenie przed ESD w postaci diod lub tranzystorów
5. Preferowana jest aranżacja komórek I/O (tj. PAD + ESD) w postaci ring'u

## 3 Realizacja

### 3.1 Wykorzystane oprogramowanie

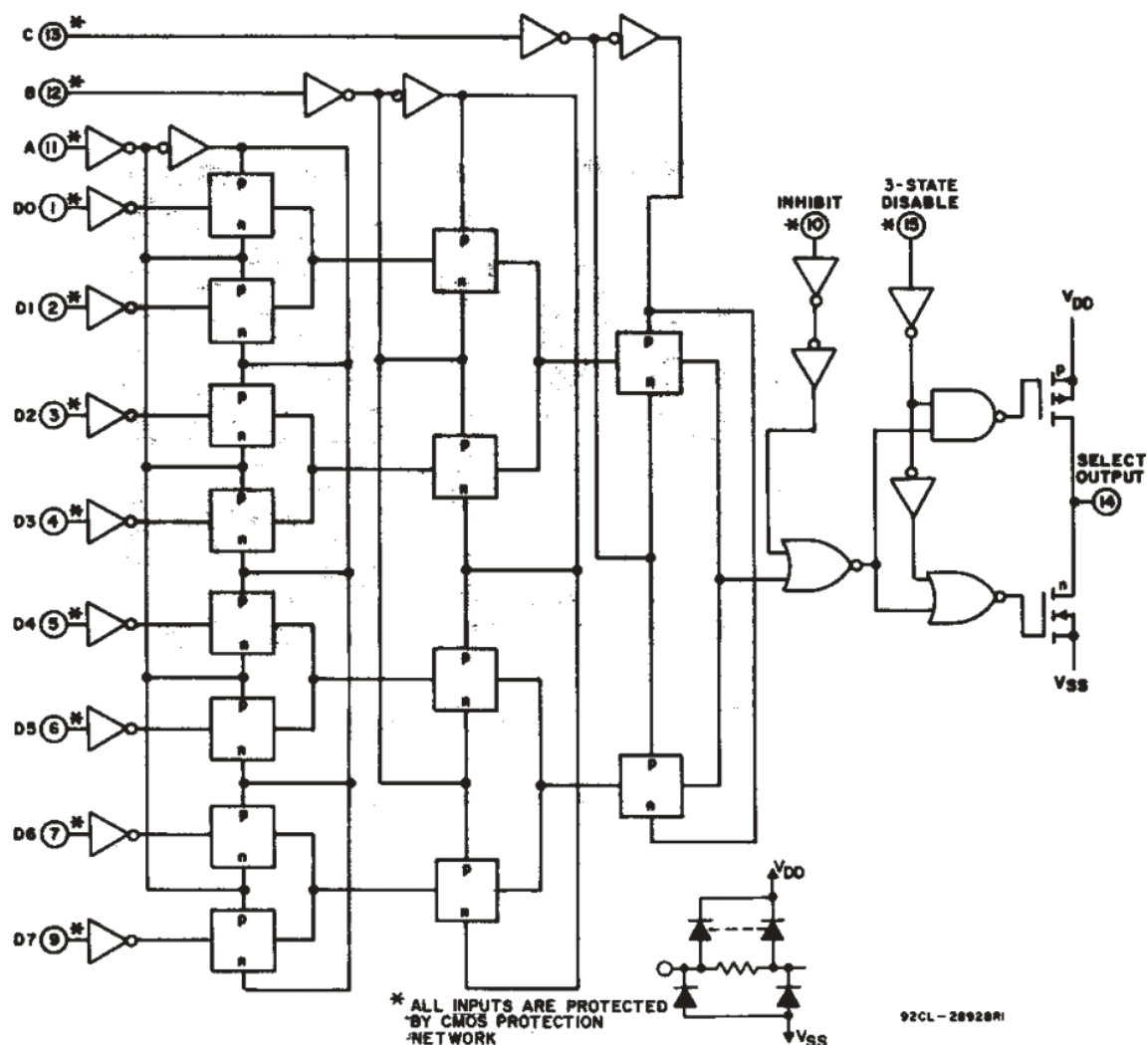
Podczas realizacji projektu wykorzystywano następujące oprogramowanie:

- LTspice - edytor schematów oraz symulator (bazowany na SPICE)
- Magic - oprogramowanie CAD do projektowania topografii układów scalonych
- LaTeX - oprogramowanie do automatycznego składu tekstu (poprzez overleaf.com)
- Git - system kontroli wersji (poprzez git.pg.edu.pl)

### 3.2 Projekt układu

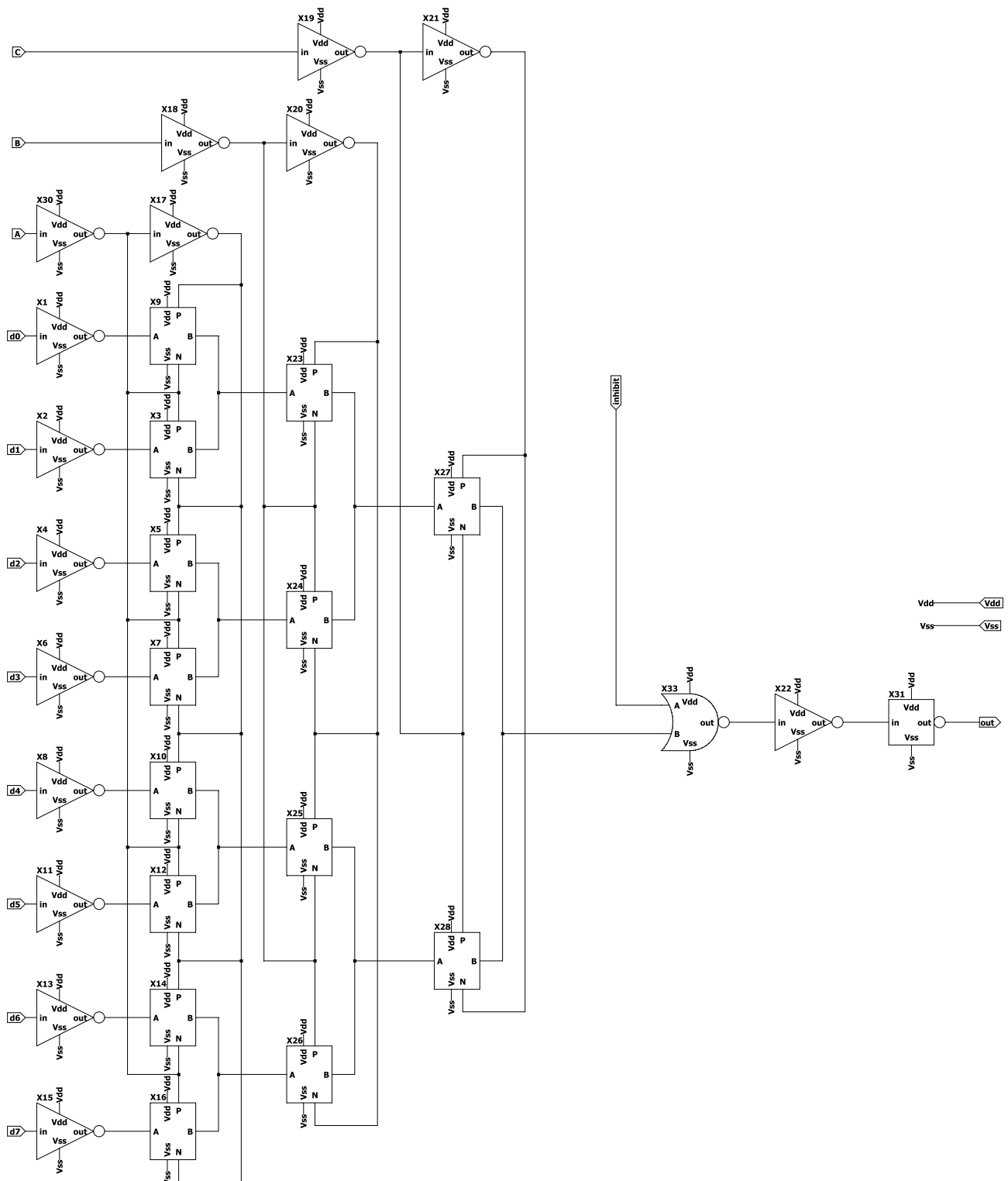
Pierwszym etapem realizacji było wykonanie schematu do wstępnej symulacji układu w celu sprawdzenia poprawności działania i spełnienia przyjętych wymagań. Wzorowano się na nocie katalogowej układu CD4512B firmy Texas Instruments [1].

W celu podniesienia czytelności schematu oraz minimalizacji błędów wykorzystano funkcję projektowania hierarchicznego. Schemat został podzielony na kilka funkcjonalnych bloków, które składane były w większą całość.

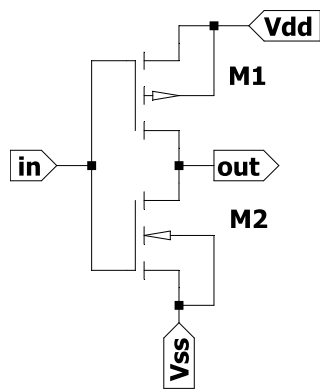


Rysunek 2: Schemat logiczny układu CD4512B

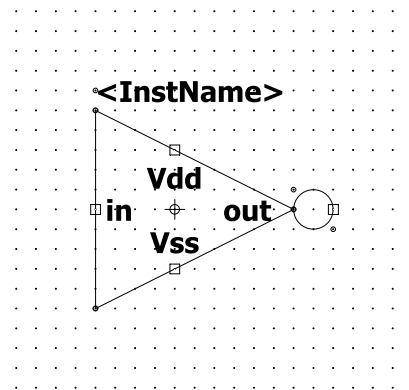
Źródło: CD4512B TYPES datasheet (Rev. C) [1]



Rysunek 3: Schemat główny

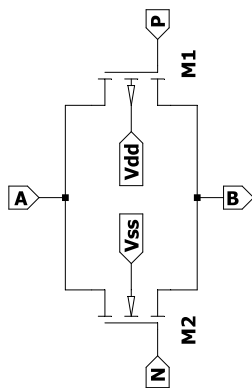


(a)

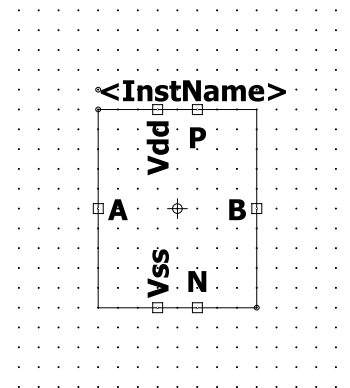


(b)

Rysunek 4: Schemat i symbol bramki NOT

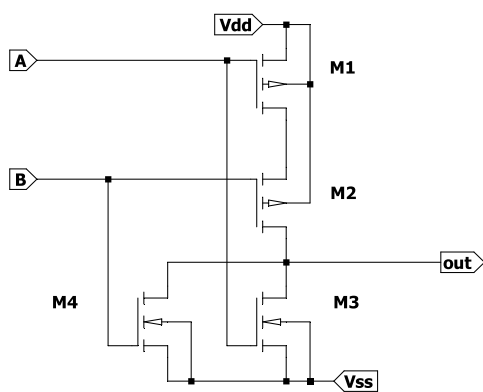


(a)

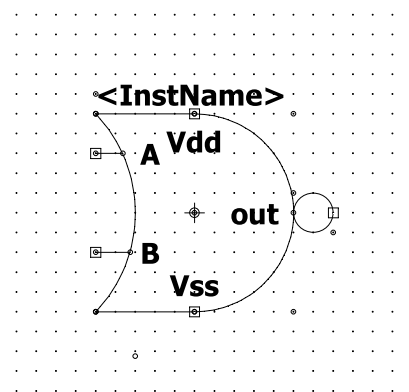


(b)

Rysunek 5: Schemat i symbol bramki transmisyjnej

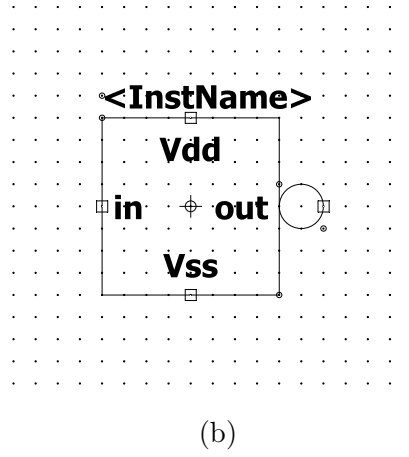
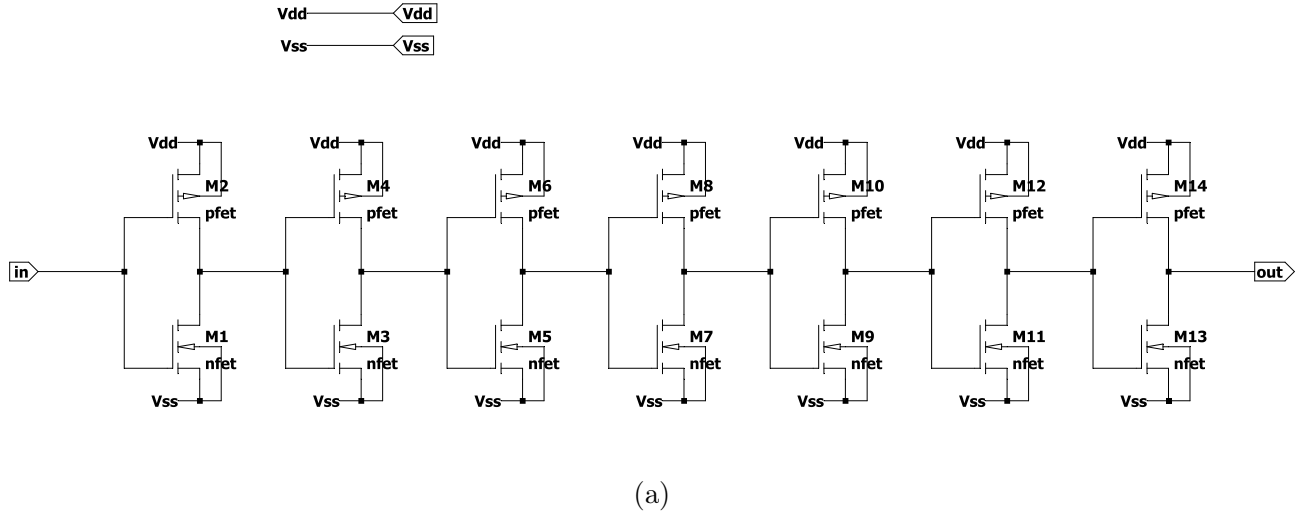


(a)



(b)

Rysunek 6: Schemat i symbol bramki NOR



Rysunek 7: Schemat i symbol bufora wyjściowego

Rozmiar i ilość stopni bufora wyjściowego początkowo policzono metodą zaczerpniętą z prezentacji wykładowej do przedmiotu [2]. Skorzystano z następujących zależności:

$$C_{ox} = \frac{\epsilon_{SiO_2} \epsilon_0}{t_{ox}} \quad (1)$$

$$C_G = C_{ox} L_n (W_n + W_p) \quad (2)$$

$$n = \left\lceil \log_{\alpha} \frac{C_L}{C_G} \right\rceil = \left\lceil \frac{\ln \frac{C_L}{C_G}}{\ln \alpha} \right\rceil \stackrel{\alpha=e}{=} \left\lceil \ln \frac{C_L}{C_G} \right\rceil \quad (3)$$

Rzeczywista wartość  $\alpha$  dla całkowitego  $n$ :

$$\alpha = \sqrt[n]{\frac{C_L}{C_G}} \quad (4)$$

Obliczone współczynniki powodowały jednak, że rozmiary tranzystorów ostatnich stopni bufora były zbyt duże (szerokość tranzystora przekraczała 4 mm). Rozpatrywano różne kombinacje wartości  $\alpha$  oraz  $n$ . Nieco mniejszą szerokość tranzystora wyliczono wykorzystując do obliczeń bliższą rzeczywistości pomierzoną symulacyjnie pojemność  $C_G$ , jednakże nadal wyniki były niezadowalające, wobec czego zdecydowano się na alternatywne podejście.

Założono, że szerokości tranzystorów ostatniego stopnia nie powinny być więcej niż  $s = 900$  razy większe niż analogiczne szerokości w pierwszym stopniu. Pojedynczy bufor o takich wymiarach wykazywał zadowalające parametry. Na podstawie założonego stosunku wymiarów  $s$  wyznaczono nowe wartości współczynników  $\alpha$  oraz  $n$ :

$$n = \left\lceil \log_{\alpha} \frac{C_L}{C_G} \right\rceil = \left\lceil \frac{\ln \frac{C_L}{C_G}}{\ln \alpha} \right\rceil \stackrel{\alpha=e}{=} \left\lceil \ln \frac{C_L}{C_G} \right\rceil \quad (5)$$

Rzeczywista wartość  $\alpha$  dla całkowitego  $n$ :

$$\alpha = \sqrt[n]{\frac{C_L}{C_G}} \quad (6)$$

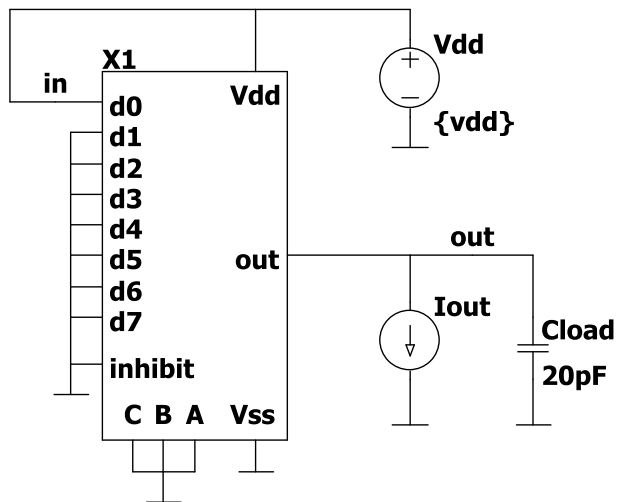
Ilość stopni bufora oraz wymiary tranzystorów ostatniego stopnia uległy zmniejszeniu, kosztem akceptowalnego zwiększenia współczynnika skalowania. Ten projekt okazał się być wystarczającym do spełnienia wymagań projektowych, wobec czego zastosowano go w układzie. Porównanie projektów bufora przedstawiono w tabeli 1.

Parametr	Projekt 1	Projekt 2	Projekt 3
$\alpha$	2,748	2,574	2,642
$n$	9	9	7
$W_P$	4,475 mm	963 $\mu\text{m}$	450 $\mu\text{m}$
$W_N$	2,685 mm	578 $\mu\text{m}$	270 $\mu\text{m}$

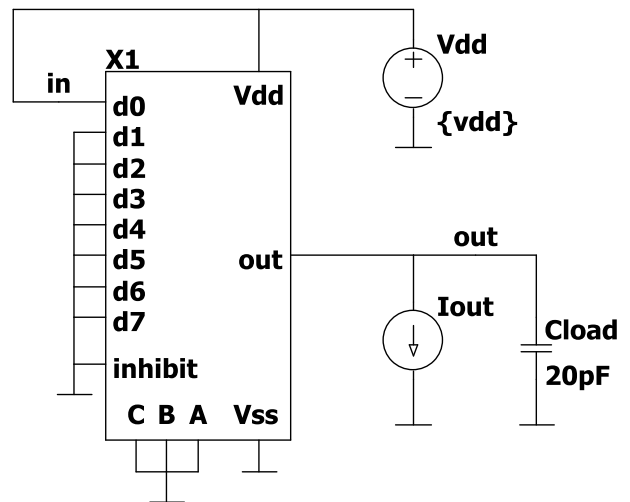
Tabela 1: Porównanie projektów bufora wyjściowego

### 3.3 Sposób przeprowadzenia pomiarów

Schematy stanowisk pomiarowych przedstawiono na poniższych rysunkach. Układ obciążano pojemnością 20 pF oraz regulowanym źródłem prądowym. Sygnał testowy podawano na wejście D0. Zastosowano identyczne stanowiska zarówno do pomiarów pre-layout jak i post-layout. W drugim przypadku wykorzystano wyłącznie polecenia tekstowe SPICE (brak eksportu schematu z Magic'a).



Rysunek 8: Stanowisko pomiarowe do pomiarów wydajności prądowej

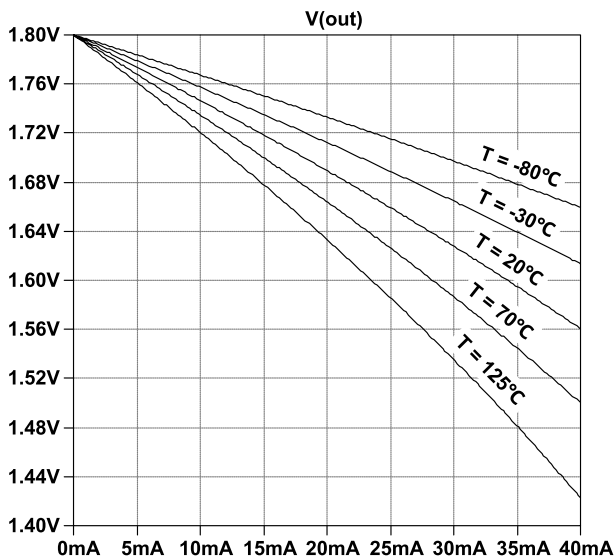


Rysunek 9: Stanowisko pomiarowe do pomiarów czasu propagacji

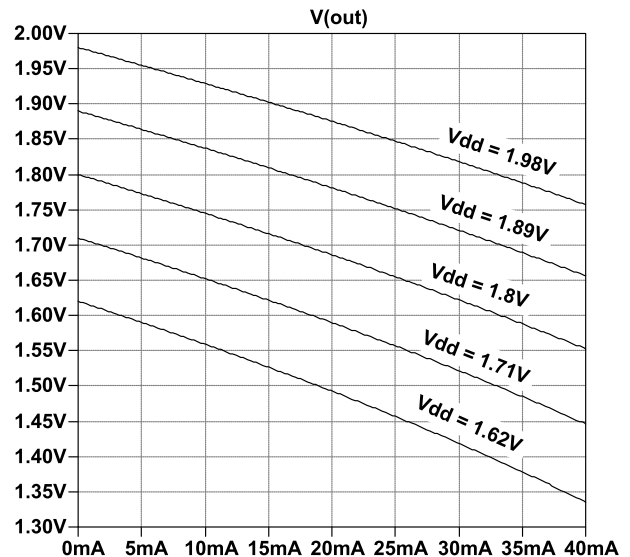


### 3.4 Pomiary pre-layout

#### 3.4.1 Wydajność prądowa

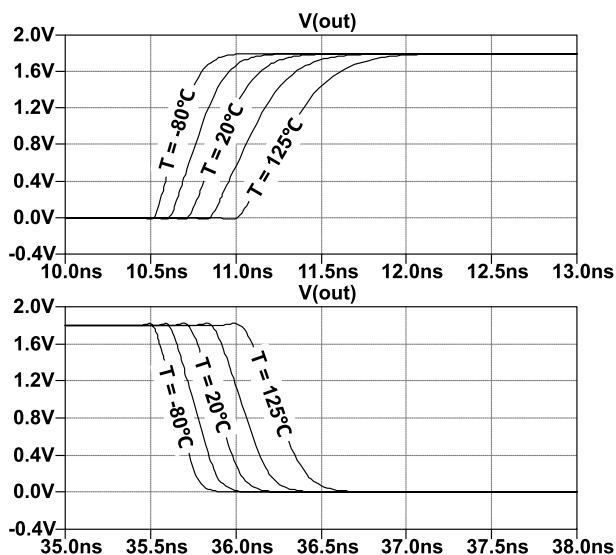


Rysunek 10: Wydajność prądowa w zależności od temperatury

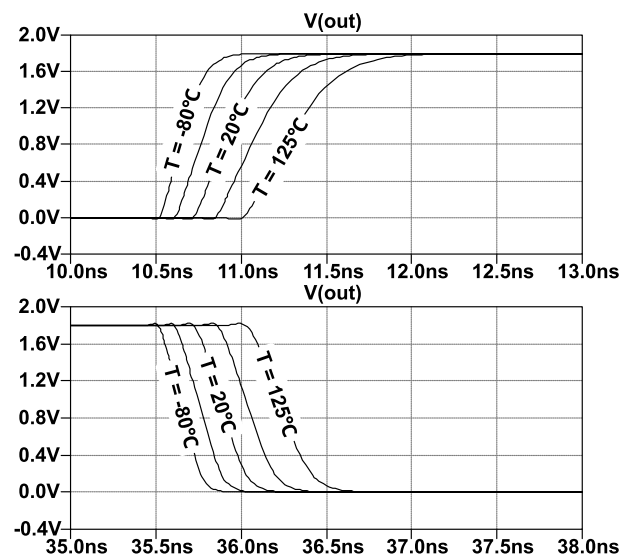


Rysunek 11: Wydajność prądowa w zależności od napięcia zasilania

#### 3.4.2 Czas propagacji



Rysunek 12: Czas propagacji w zależności od temperatury



Rysunek 13: Czas propagacji w zależności od napięcia zasilania

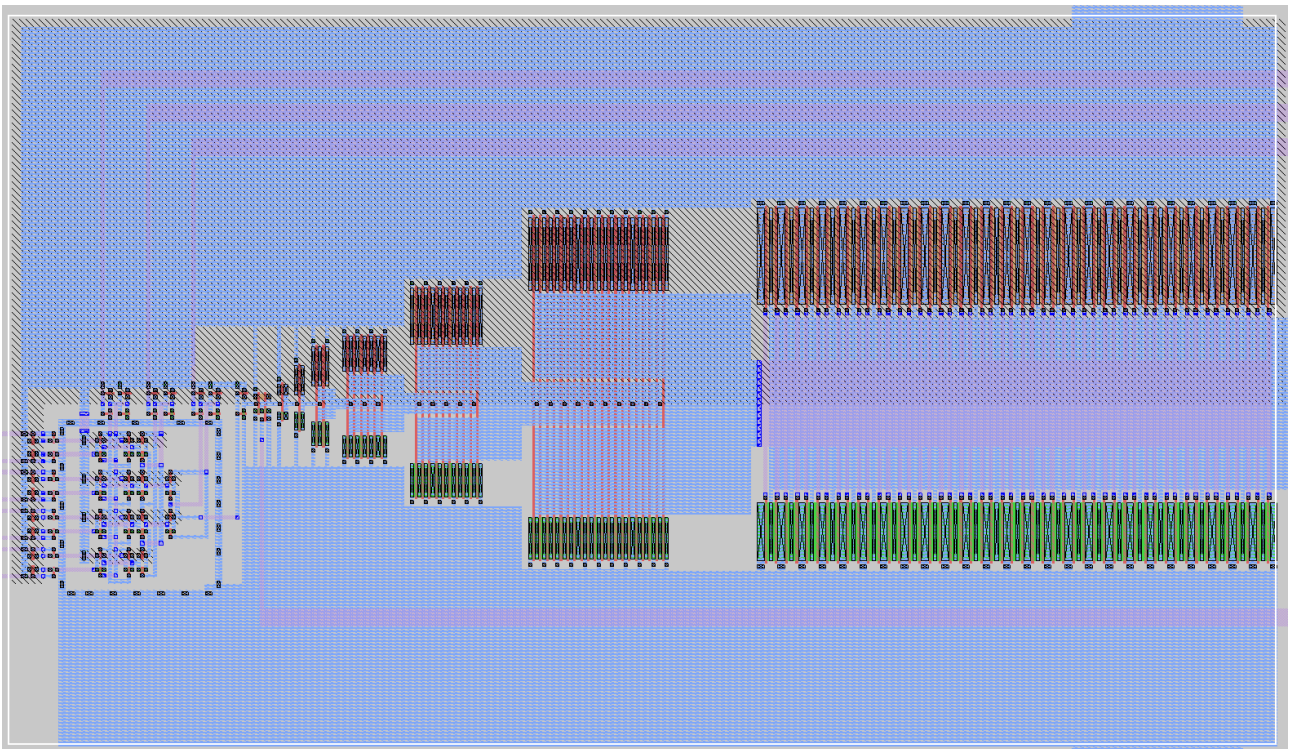
### 3.5 Projekt topografii

W kolejnym etapie wykonano projekt topografii układu, wykorzystując do tego edytor Magic.

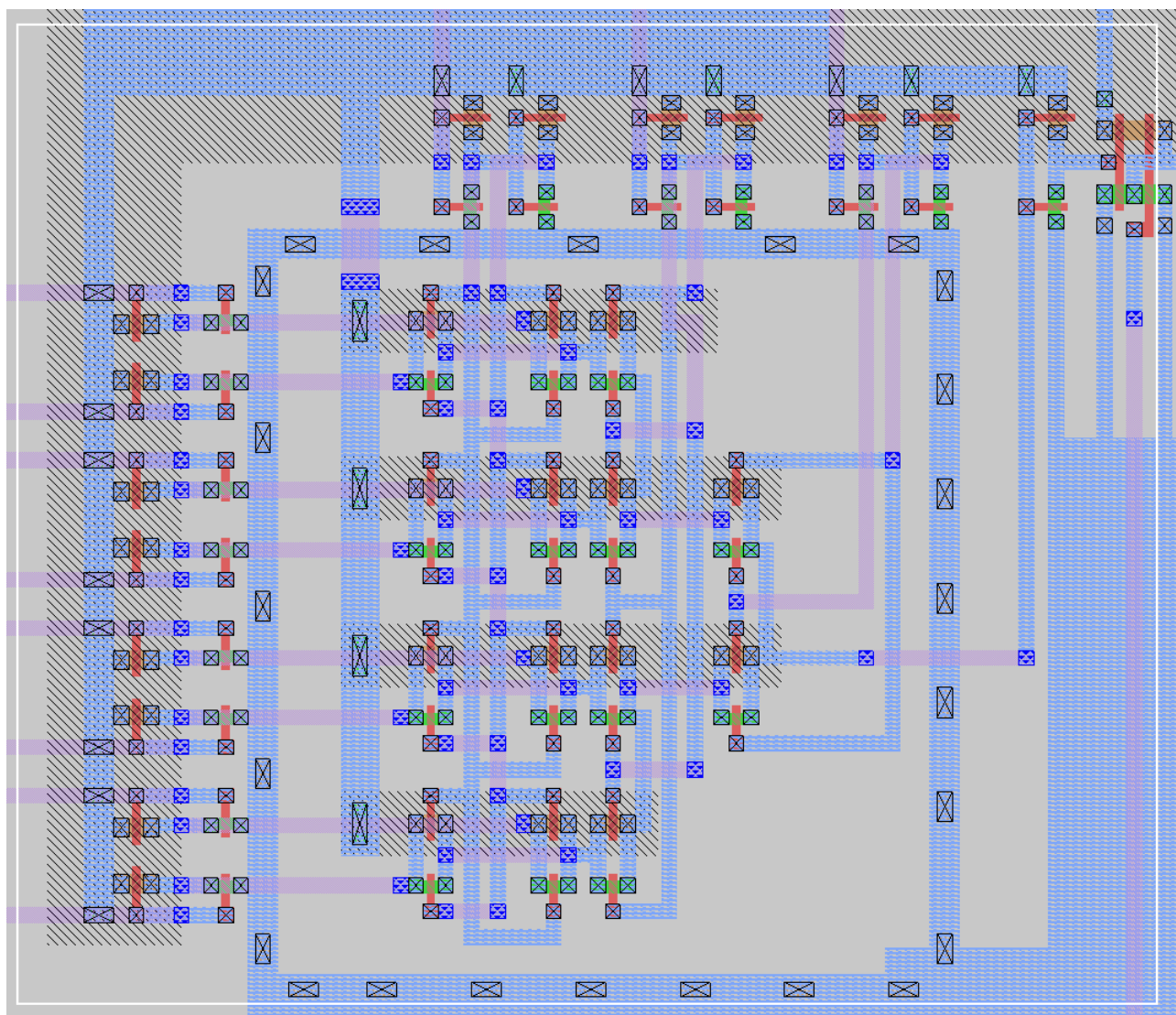
Układ zbudowany jest w oparciu o architekturę pass-through, która pozwala na zredukowanie ilości tranzystorów, kosztem niewielkiego utrudnienia prowadzenia ścieżek. Projektowanie rdzenia zajęło z tego powodu najwięcej czasu - układy typu pass-through nie mogą być w prosty sposób ułożone na szynach zasilających, w przeciwieństwie do układów opartych o bramki podciągające. Druga warstwa metalu pozwoliła łatwo rozwiązać ten problem.

Bufor wyjściowy początkowo zaprojektowano z błędem w postaci zbyt szerokich tranzystorów, co spowodowało bardzo duże spowolnienie działania układu. Po podzieleniu tranzystorów na wiele mniejszych układ zaczął działać poprawnie.

Ostatnim etapem projektu była ekstrakcja netlisty z gotowego projektu topografii i ponowna symulacja w celu weryfikacji poprawności działania z uwzględnieniem wszelakich zmiennych, których nie brała pod uwagę wyidealizowana symulacja w pierwszym etapie.

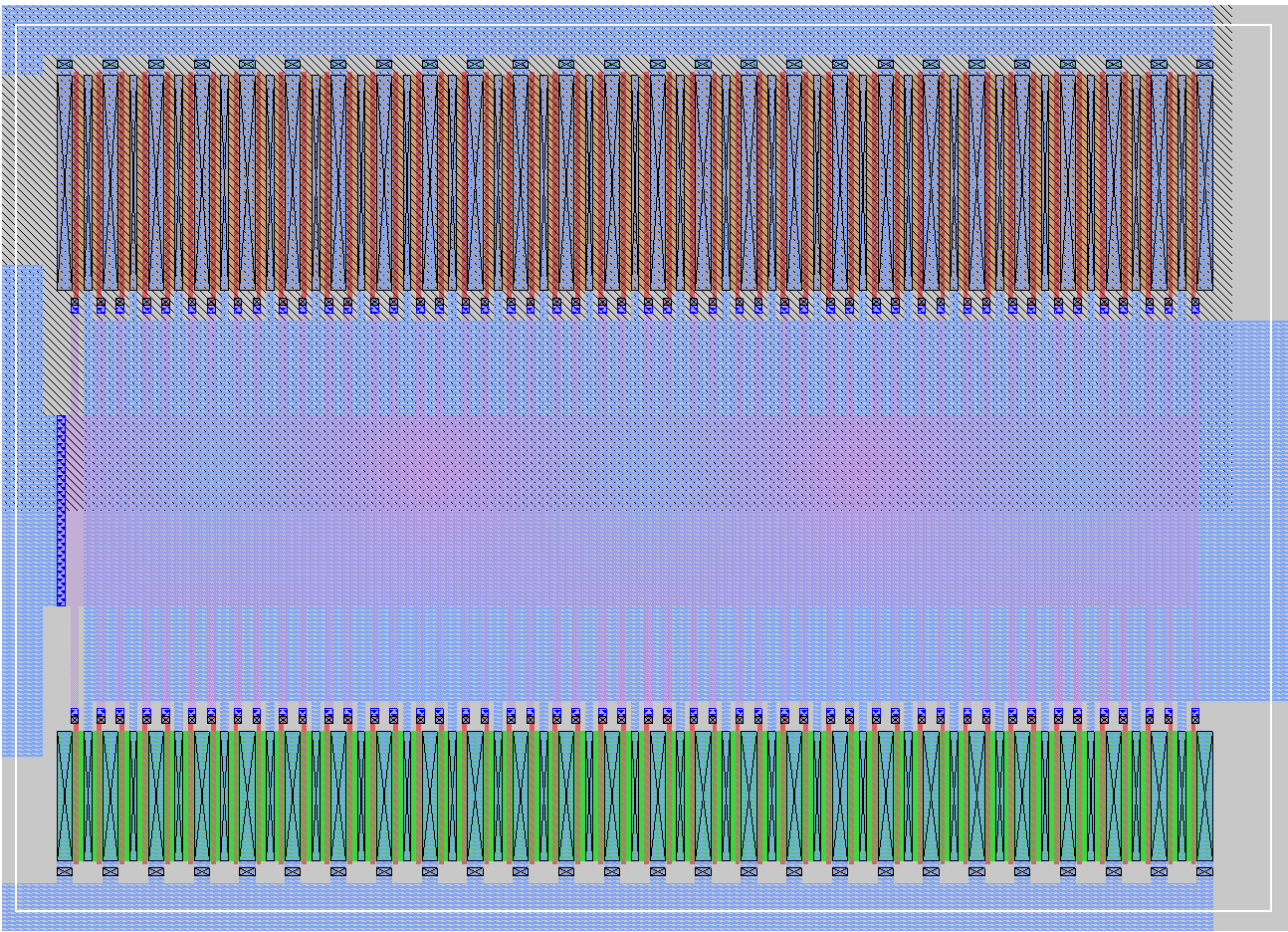


Rysunek 14: Topografia układu



Rysunek 15: Topografia rdzenia

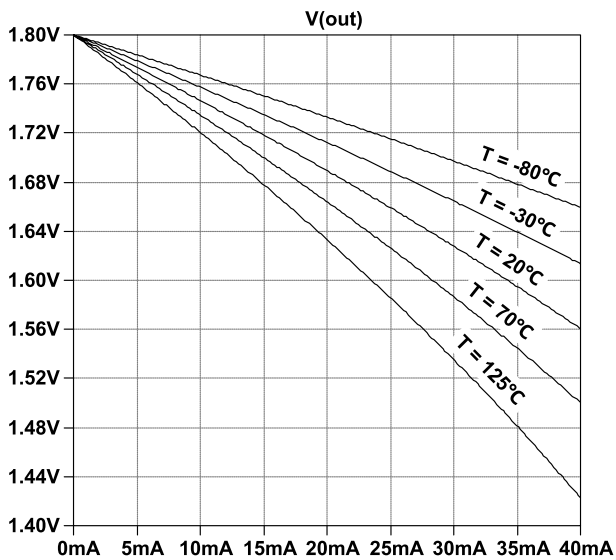




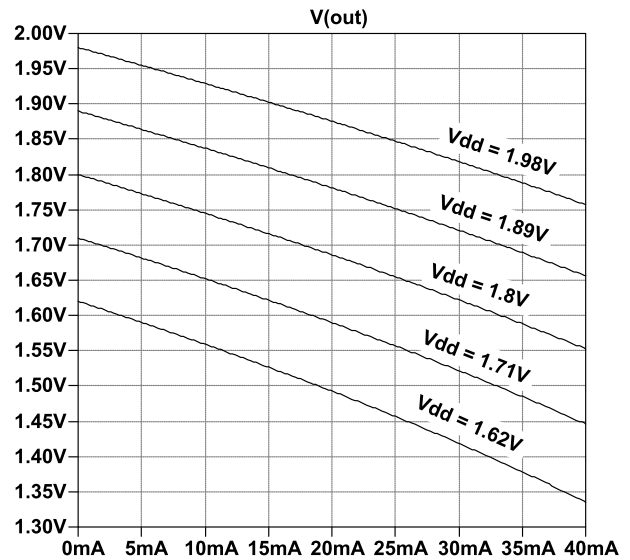
Rysunek 16: Topografia bufora wyjściowego

### 3.6 Pomiary post layout

#### 3.6.1 Wydajność prądowa

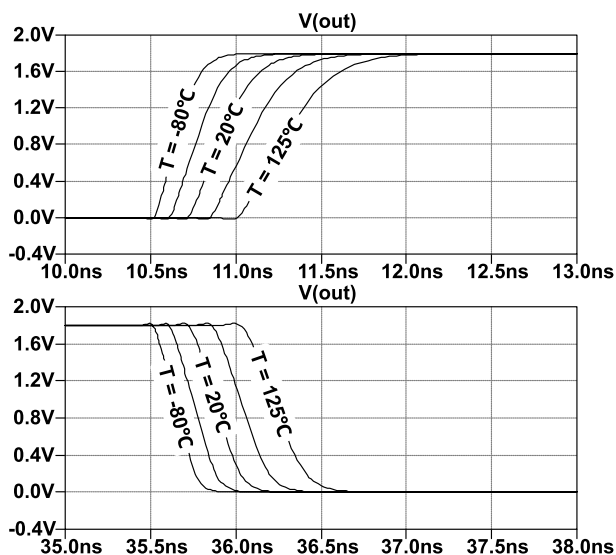


Rysunek 17: Wydajność prądowa w zależności od temperatury

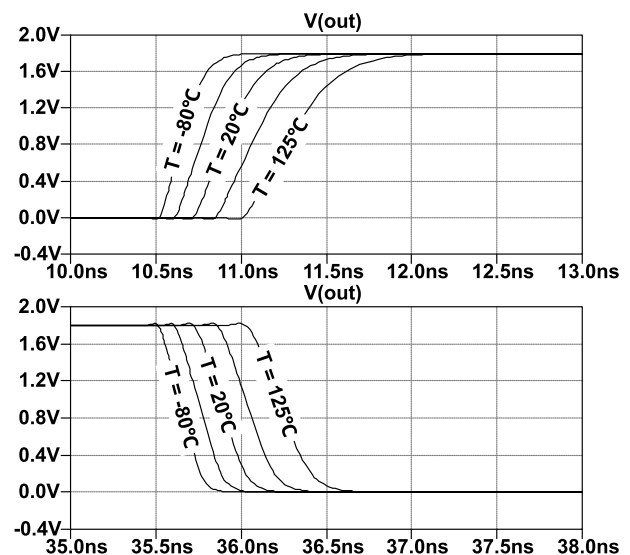


Rysunek 18: Wydajność prądowa w zależności od napięcia zasilania

#### 3.6.2 Czas propagacji



Rysunek 19: Czas propagacji w zależności od temperatury



Rysunek 20: Czas propagacji w zależności od napięcia zasilania

## 4 Wnioski końcowe

Pomiary układu post-layout wykazały, że projekt układu jest udany. Zarówno czas propagacji, jak i wydajność prądowa jest na poziomie praktycznie identycznym z wcześniejszymi symulacjami pre-layout.

Topografia rdzenia układu jest dość skomplikowana, jest to część układu, która mogłaby zostać ulepszona, tak aby dostosować ją do wykorzystania w układach wykorzystujących ustandaryzowane komórki logiczne.

## Bibliografia

- [1] Texas Instruments. *CD4512B TYPES datasheet (Rev. C)*. URL: <https://www.ti.com/lit/ds/symlink/cd4512b.pdf>. (dostęp: 17.02.2025).
- [2] Bogdan Pankiewicz. *Inżynieria układów i systemów scalonych. Wykład dla semestru V*. URL: [http://www.ue.eti.pg.gda.pl/~bpa/iuss/iuss\\_slajdy.pdf](http://www.ue.eti.pg.gda.pl/~bpa/iuss/iuss_slajdy.pdf). (dostęp: 17.02.2025).