



## Inżynieria układów i systemów scalonych

### Projekt

#### 1. Terminarz zajęć

Gr. E2B poniedziałki 16-18

<i>L.p.</i>	<i>Termin</i>	<i>Godzina zajęć</i>	<i>Opis</i>
1	02/12/2024, PN 16-18	1, 2,	Rozdzielenie projektów, rozpoczęcie pracy
2	09/12/2024, PN 16-18	3, 4,	Praca nad projektem
3	16/12/2024, PN 16-18	5, 6, +5min.	Praca nad projektem
4	08/01/2025, <b>ŚR</b> 16-18	7, 8, +10min.	Praca nad projektem, <b>wstępny raport</b>
5	13/01/2025, PN 16-18	9, 10, +10min.	Praca nad projektem
6	20/01/2025, PN 16-18	11, 12, +10min.	Praca nad projektem
7	27/01/2025, PN 16-18	13, 14, +10min.	<b>Raport końcowy</b> , przesłanie sprawozdań do systemu e-nauczanie

Gr. E1B czwartki 15-17

<i>L.p.</i>	<i>Termin</i>	<i>Godzina zajęć</i>	<i>Opis</i>
1	05/12/2024, CZ 15-17	1, 2,	Rozdzielenie projektów, rozpoczęcie pracy
2	12/12/2024, CZ 15-17	3, 4,	Praca nad projektem
3	19/12/2024, CZ 15-17	5, 6, +5min.	Praca nad projektem
4	09/01/2025, CZ 15-17	7, 8, +10min.	Praca nad projektem, <b>wstępny raport</b>
5	16/01/2025, CZ 15-17	9, 10, +10min.	Praca nad projektem
6	23/01/2025, CZ 15-17	11, 12, +10min.	Praca nad projektem
7	30/01/2025, CZ 15-17	13, 14, +10min.	<b>Raport końcowy</b> , przesłanie sprawozdań do systemu e-nauczanie

Gr. E2A piątki 11-13

<i>L.p.</i>	<i>Termin</i>	<i>Godzina zajęć</i>	<i>Opis</i>
1	06/12/2024, PT 11-13	1, 2,	Rozdzielenie projektów, rozpoczęcie pracy
2	13/12/2024, PT 11-13	3, 4,	Praca nad projektem
3	20/12/2024, PT 11-13	5, 6, +5min.	Praca nad projektem
4	03/01/2025, PT 11-13	7, 8, +10min.	Praca nad projektem, <b>wstępny raport</b>
5	10/01/2025, PT 11-13	9, 10, +10min.	Praca nad projektem
6	17/01/2025, PT 11-13	11, 12, +10min.	Praca nad projektem
7	24/01/2025, PT 11-13	13, 14, +10min.	<b>Raport końcowy</b> , przesłanie sprawozdań do systemu e-nauczanie

Gr. E1A piątki 13-15

<i>L.p.</i>	<i>Termin</i>	<i>Godzina zajęć</i>	<i>Opis</i>
1	06/12/2024, PT 13-15	1, 2,	Rozdzielenie projektów, rozpoczęcie pracy
2	13/12/2024, PT 13-15	3, 4,	Praca nad projektem
3	20/12/2024, PT 13-15	5, 6, +5min.	Praca nad projektem
4	03/01/2025, PT 13-15	7, 8, +10min.	Praca nad projektem, <b>wstępny raport</b>
5	10/01/2025, PT 13-15	9, 10, +10min.	Praca nad projektem
6	17/01/2025, PT 13-15	11, 12, +10min.	Praca nad projektem
7	24/01/2025, PT 13-15	13, 14, +10min.	<b>Raport końcowy</b> , przesłanie sprawozdań do systemu e-nauczanie

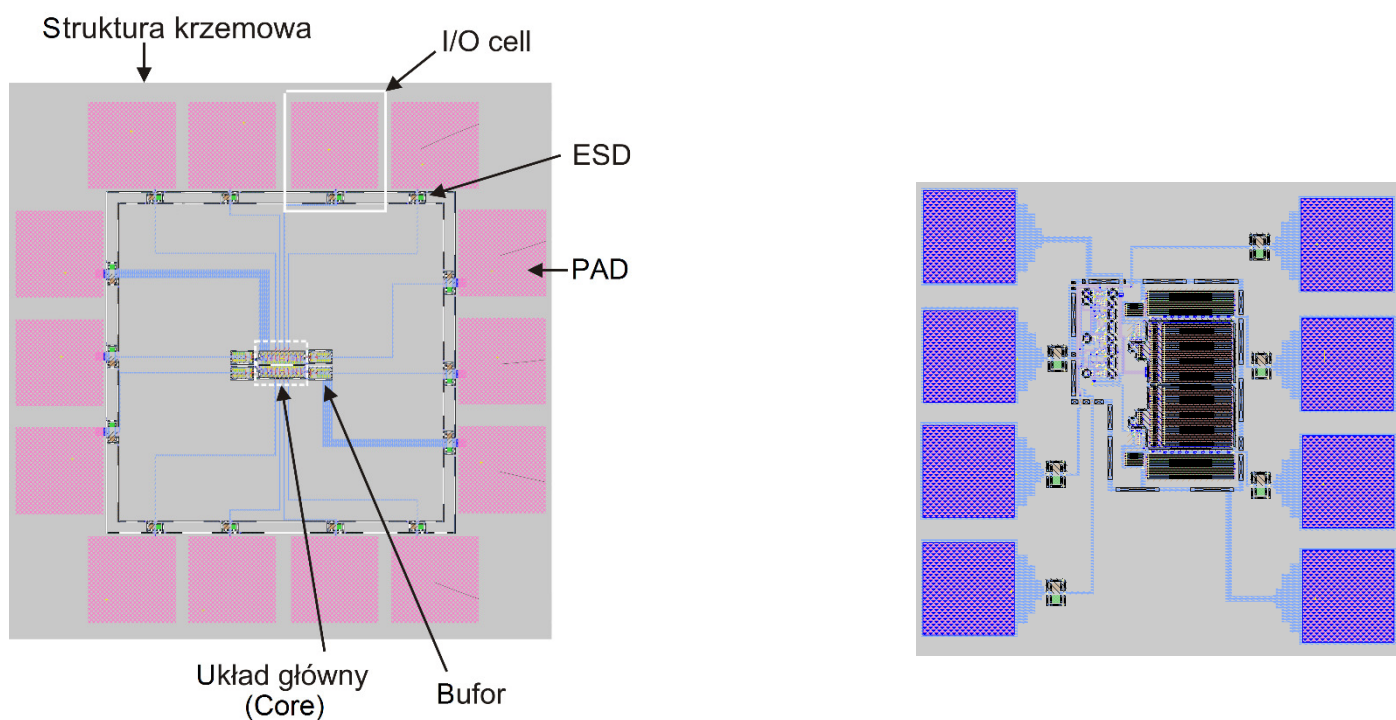
## 2. Cel projektu. Wymagania projektowe

W ramach zajęć należy opracować prosty układ scalony CMOS zawierający nieduży układ analogowy np. wzmacniacz operacyjny lub nieskomplikowany układ cyfrowy typu multiplexer, licznik, zestaw kilku bramek itp. Projekt powinien być kompletny tj. gotowy do wysłania do produkcji—układ scalony musi zawierać pola przyłączeniowe tzw. pady wraz z towarzyszącymi zabezpieczeniami przed wyładowaniami elektrostatycznymi (*ESD protection*).

Projekt ma być wykonany w technologii CMOS TSMC 180nm 1.8V [11].

Zachęca się do samodzielnego zaproponowania tematu projektu. Można na przykład zaprojektować odpowiednik dowolnego układu z rodziny CD4000 (lista dostępna jest m.in. w [13]). Jeśli dany zespół nie skorzysta z tej możliwości, prowadzący zajęcia przydzieli zadanie wg własnego uznania.

Przykłady topografii układów scalonych opracowane w programie Magic pokazano na rys. 1.



Rys. 1 Przykłady układów scalonych opracowanych w programie Magic VLSI (projekty typu *pad limited*).

Wymaga się, aby zaprojektowany układ spełniał następujące parametry.

- 1) Technologia: CMOS TSMC 180nm 6M 1.8V.
- 2) Napięcie zasilające: 1,8 V z tolerancją  $\pm 10\%$ .
- 3) Temperatura pracy: od  $-80^{\circ}\text{C}$  do  $+125^{\circ}\text{C}$ .
- 4) Dla układów cyfrowych, wydajność prądowa buforów wyjściowych: 20 mA DC.
- 5) Dla układów cyfrowych, częstotliwość na wyprowadzeniach zewnętrznych: przynajmniej 20 MHz przy obciążeniu 20 pF.
- 6) Należy dodatkowo przyjąć:
  - maksymalny prąd warstw metalicznych 1 mA/ $\mu\text{m}$  (zabezpieczenie przed elektromigracją),
  - maksymalne odległości pomiędzy sąsiednimi kontaktami do podłoża 50  $\mu\text{m}$  i wyspy 150  $\mu\text{m}$  (zabezpieczenie przed zatraskiwaniem się układu),
  - PAD z warstwy pad o wymiarach (szerokość  $\times$  wysokość) 60  $\mu\text{m} \times 70 \mu\text{m}$ ,
  - zabezpieczenie przed ESD w postaci diod lub tranzystorów (przykłady w [8], [12]),
  - preferowana jest aranżacja komórek I/O (tj. PAD+ESD) w postaci *ring*'u jak na rys. 1 (dodatkowe przykłady w [8], [12]).

### **3. Organizacja pracy**

Dopuszcza się prace samodzielne lub wykonywane przez dwuosobowe zespoły.

Prace powinny być wykonane wg poniższego planu:

- a) Rozpoznanie literaturowe związane z realizowanym projektem.
- b) Propozycja rozwiązania zadania projektowego.
- c) Wstępne obliczenia ręczne oraz symulacje komputerowe (symulator Pspice-Cadence/Orcad lub LTspice).
- d) Wykonanie topografii (edytor Magic [10]).
- e) Ekstrakcja topografii oraz symulacje końcowe po wykonaniu topografii.
- f) Ewentualne poprawki w schemacie i topografii układu oraz końcowe symulacje.
- g) Oddanie projektu w formie sprawozdania zawierającego: opis zrealizowanego układu, listę połączeń układu przed wykonaniem topografii, projekt topografii wykonany przy użyciu edytora Magic, listę połączeń po ekstrakcji, podsumowanie i wnioski końcowe.

W połowie projektu (patrz terminarz) każdy zespół przedstawia krótki raport z postępu prac. Na ostatnich zajęciach każdy zespół przedstawia raport końcowy (sprawozdanie końcowe) z osiągniętych wyników prac. Raporty będą prezentowane w sali laboratoryjnej przy użyciu projektora, a w przypadku zajęć zdalnych – poprzez system do zdalnego prezentowania ekranu lub aplikacji.

***Ww. raporty (prezentacje) powinny zawierać na kolejnych slajdach:***

***Raport pierwszy (patrz terminarz w tabelkach):***

- 1. tytuł projektu i wymagania projektowe,***
- 2. wyszczególnienie literatury, która została wykorzystana do wykonania projektu,***
- 3. zaproponowany schemat układu,***
- 4. przykładowe symulacje,***
- 5. podsumowanie.***

***Raport końcowy:***

- 1. tytuł projektu i wymagania projektowe,***
- 2. zaproponowany schemat układu,***
- 3. przykładowe symulacje,***
- 4. rysunek topografii,***
- 5. wyniki symulacji po ekstrakcji w postaci tabeli zawierającej: wymagania projektowe, wyniki symulacji przed ekstrakcją, wyniki symulacji po ekstrakcji,***
- 6. podsumowanie.***

***CZAS PREZENTACJI 5MIN BEZ MOŻLIWOŚCI PRZEDŁUŻENIA!!!***

### **4. Kryterium wystawienia oceny**

Ocenę końcową stanowi średnia ocen z raportów i oddanego sprawozdania.

### **5. Literatura:**

- [1] R. L. Geiger, P. E. Allen, N. R. Strader, „VLSI design techniques for analog and digital circuits“, McGraw-Hill 1990.
- [2] P. E. Allen, D. R. Holberg, „CMOS analog circuit design“, Sanders College Publishing, 1987.
- [3] P. R. Gray, R. G. Meyer, „Analysis and design of analog integrated circuits“, John Wiley & Son, Inc. 1993.
- [4] P. Gajewski, J. Turczyński, „Cyfrowe układy scalone CMOS“, WKŁ 1990.
- [5] „Matching properties of MOS transistors“, M. Pelgrom, A. Duinmaijer, A. Welbres, IEEE Journal of Solid-State Circuits, vol. 24, no. 5, October 1989.
- [6] J. Izidorczyk, „Pspice komputerowa symulacja układów elektronicznych“, Helion, 1993.
- [7] C. Wai-Kai (editor), „The VLSI Handbook“, Taylor & Francis Group, 2007.
- [8] B. Pankiewicz, materiały pomocnicze do przedmiotu „Inżynieria układów i systemów scalonych“, Gdańsk 2009.

- [9] A. Guziński, „Liniowe elektroniczne układy analogowe”, WNT 1992.
- [10] Strona domowa programu MAGIC <http://opencircuitdesign.com/magic/index.html>.
- [11] Link <https://www.cmc.ca/tsmc-180-nm-cmos/>
- [12] Przykład ringu I/O analogowego i cyfrowego opracowanych w technologii CMOS Orbit 2μm można znaleźć w e-kursie w dziale: Zasoby i instrukcje/[Pliki \(modele, konfiguracje...\)](#). Użycie tych plików zaprezentowana na odpowiednich nagraniach wykładów.
- [13] Link do listy rodziny CD4000  
[http://en.wikipedia.org/wiki/List\\_of\\_4000\\_series\\_integrated\\_circuits](http://en.wikipedia.org/wiki/List_of_4000_series_integrated_circuits)

*Opracował Bogdan Pankiewicz, Gdańsk 2009, 2020  
Aktualizacje i uzupełnienia wprowadził Waldemar Jendernalik, Gdańsk 2022-24*